

1/5/5

DIALOG(R) File 347: JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

04611086 **Image available**
SEMICONDUCTOR MEMORY

PUB. NO.: 06-282986 [JP 6282986 A]

PUBLISHED: October 07, 1994 (19941007)

INVENTOR(s): AGATA MASASHI
AKAMATSU HIRONORI
KIKUKAWA HIROHITO
SAWADA AKIHIRO
IWANARI SHUNICHI

APPLICANT(s): MATSUSHITA ELECTRIC IND CO LTD [000582]. (A Japanese Company
or Corporation), JP (Japan)

APPL. NO.: 06-002383 [JP 942383]

FILED: January 14, 1994 (19940114)

INTL CLASS: [5] G11C-011/407; H01L-027/108

JAPIO CLASS: 45.2 (INFORMATION PROCESSING -- Memory Units); 42.2
(ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
MOS)

JOURNAL: Section: , Section No. FFFFFFFF, Vol. 94, No. 10, Pg. FFFFFFFF,
FF, FFFF (FFFFFFFF)

ABSTRACT

PURPOSE: To secure a sufficient time for holding data without sacrificing
breakdown strength of a memory cell.

CONSTITUTION: External power supply voltage VCC is supplied to peripheral
circuits 20 as a first internal power supply voltage VPERI. When VCC is
lower than the lowest limit voltage VOL being the recommended operation
condition, a power supply voltage control circuit 30 outputs high level
voltage control signal VSIG, and when it is not so, the circuit 30 outputs
low level VSIG. A power supply circuit 40 supplies a second and a third
internal power supply VW, VWORD to a memory cell section 10. When VSIG is a
low level, VW is equal to VPERI, and when VSIG is a high level, VW is equal
to voltage to which VPERI is boosted. VW is supplied to an ENABLE signal
line of a sense amplifier column 15 and VWORD is supplied to a memory cell
array 11 respectively from a row decoder 12 so that VW becomes writing
voltage for data of high level of the memory cell.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-282986

(43) 公開日 平成6年(1994)10月7日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 11/407				
H 0 1 L 27/108				
		6866-5L	G 1 1 C 11/ 34	3 5 4 F
		7210-4M	H 0 1 L 27/ 10	3 2 5 Q
		7210-4M		3 2 5 U
審査請求 未請求 発明の数15 O L (全 13 頁)				

(21) 出願番号 特願平6-2383

(22) 出願日 平成6年(1994)1月14日

(31) 優先権主張番号 特願平5-11401

(32) 優先日 平5(1993)1月27日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 縣 政志

大阪府門真市大字門真1006番地 松下電器産業株式会社内

(72) 発明者 赤松 寛範

大阪府門真市大字門真1006番地 松下電器産業株式会社内

(72) 発明者 菊川 博仁

大阪府門真市大字門真1006番地 松下電器産業株式会社内

(74) 代理人 弁理士 前田 弘 (外2名)

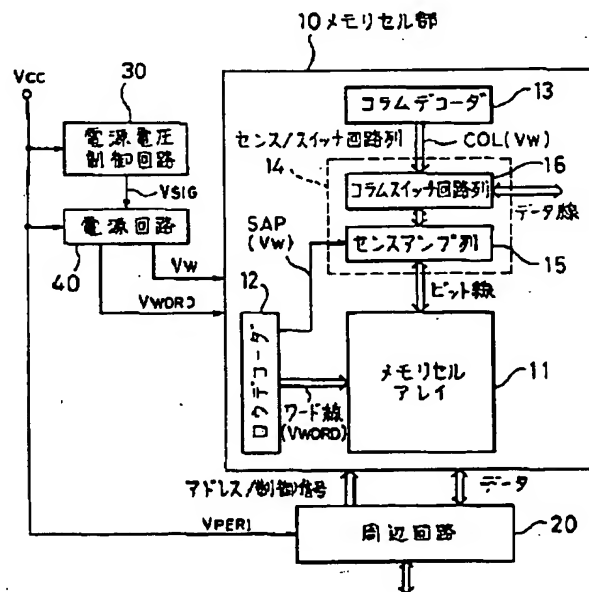
最終頁に続く

(54) 【発明の名称】 半導体メモリ

(57) 【要約】

【目的】 メモリセルの耐圧を犠牲にすることなく十分なデータ保持時間を確保することができる実用的な半導体メモリを提供する。

【構成】 外部電源電圧VCCは、第1の内部電源電圧VPERIとして周辺回路20に供給される。電源電圧制御回路30は、VCCが推奨動作条件の下限電圧VOLより低い場合にはハイレベルの電圧制御信号VSIGを、そうでない場合にはローレベルのVSIGを出力する。電源回路40は、第2及び第3の内部電源電圧VW、VWORDをメモリセル部10に供給する。VWは、VSIGがローレベルの場合にはVPERIと等しく、VSIGがハイレベルの場合にはVPERIを昇圧した電圧である。VWORDはVWを更に昇圧した電圧である。VWがメモリセルのハイレベルのデータの書き込み電圧となるように、センスアンプ列15のイネーブル信号線にはVWが、メモリセルアレイ11のワード線にはVWORDが各々ロウデコーダ12から供給される。



1

【特許請求の範囲】

【請求項1】 電荷保持型の半導体メモリであって、外部電源電圧に比例した第1の内部電源電圧を入力し、前記第1の内部電源電圧が所定の電圧より高い場合には該第1の内部電源電圧と等しく設定され前記第1の内部電源電圧が前記所定の電圧より低い場合には該第1の内部電源電圧より高く設定された第2の内部電源電圧と、前記第2の内部電源電圧より高く設定された第3の内部電源電圧とをそれぞれ出力するための電源回路と、電荷を保持するためのキャパシタと、ソースがビット線に、ドレインが前記キャパシタに、ゲートがワード線にそれぞれ接続されたMOSトランジスタとを有するメモリセル回路と、

ソースがセンスイネーブル信号線に、ドレインが前記ビット線にそれぞれ接続され、かつ前記ビット線の電圧を増幅するようにゲートに導通信号が印加されるMOSトランジスタを有するセンスアンプ回路と、

前記電源回路から出力された第2の内部電源電圧を前記センスイネーブル信号線に、前記電源回路から出力された第3の内部電源電圧を前記ワード線にそれぞれ供給するためのロウデコーダとを備えたことを特徴とする半導体メモリ。

【請求項2】 請求項1記載の半導体メモリにおいて、ソースがデータ線に、ドレインが前記ビット線に、ゲートがコラム線にそれぞれ接続されたMOSトランジスタを有するコラムスイッチ回路と、

前記電源回路から出力された第2の内部電源電圧を前記コラム線に供給するためのコラムデコーダとを更に備えたことを特徴とする半導体メモリ。

【請求項3】 電荷保持型の半導体メモリであって、外部電源電圧に比例した第1の内部電源電圧を入力し、前記第1の内部電源電圧が所定の電圧より高い場合には該第1の内部電源電圧と等しく設定され前記第1の内部電源電圧が前記所定の電圧より低い場合には該第1の内部電源電圧より高く設定された第2の内部電源電圧と、前記第2の内部電源電圧より高く設定された第3の内部電源電圧とをそれぞれ出力するための電源回路と、電荷を保持するための第1のキャパシタと、ソースが第1のビット線に、ドレインが前記第1のキャパシタに、ゲートがワード線にそれぞれ接続されたMOSトランジスタとを有する第1のメモリセル回路と、

ソースが共通ビット線に、ドレインが前記第1のビット線に、ゲートが第1のシェアドスイッチ信号線にそれぞれ接続されたMOSトランジスタを有する第1のシェアドスイッチ回路と、

電荷を保持するための第2のキャパシタと、ソースが第2のビット線に、ドレインが前記第2のキャパシタに、ゲートが前記ワード線にそれぞれ接続されたMOSトランジスタとを有する第2のメモリセル回路と、

ソースが前記共通ビット線に、ドレインが前記第2のビ

2

ット線に、ゲートが第2のシェアドスイッチ信号線にそれぞれ接続されたMOSトランジスタを有する第2のシェアドスイッチ回路と、

ソースがセンスイネーブル信号線に、ドレインが前記共通ビット線にそれぞれ接続され、かつ前記共通ビット線の電圧を増幅するようにゲートに導通信号が印加されるMOSトランジスタを有するセンスアンプ回路と、

前記電源回路から出力された第2の内部電源電圧を前記センスイネーブル信号線に、前記電源回路から出力された第3の内部電源電圧を前記ワード線に、前記電源回路から出力された第3の内部電源電圧を選択的に前記第1及び第2のシェアドスイッチ信号線にそれぞれ供給するためのロウデコーダとを備えたことを特徴とする半導体メモリ。

【請求項4】 請求項3記載の半導体メモリにおいて、ソースがデータ線に、ドレインが前記共通ビット線に、ゲートがコラム線にそれぞれ接続されたMOSトランジスタを有するコラムスイッチ回路と、

前記電源回路から出力された第2の内部電源電圧を前記コラム線に供給するためのコラムデコーダとを更に備えたことを特徴とする半導体メモリ。

【請求項5】 請求項1又は3に記載の半導体メモリにおいて、前記電源回路は、前記外部電源電圧をそのまま前記第1の内部電源電圧として入力することを特徴とする半導体メモリ。

【請求項6】 請求項5記載の半導体メモリにおいて、前記所定の電圧は、前記外部電源電圧に関する推奨動作条件の電圧範囲のうちの下限の電圧であることを特徴とする半導体メモリ。

【請求項7】 請求項1又は3に記載の半導体メモリにおいて、前記外部電源電圧を入力し、該入力された外部電源電圧を降圧した電圧を前記第1の内部電源電圧として前記電源回路に供給するための降圧回路を更に備えたことを特徴とする半導体メモリ。

【請求項8】 請求項7記載の半導体メモリにおいて、前記所定の電圧は、前記外部電源電圧に関する推奨動作条件の電圧範囲のうちの下限の電圧に対応した電圧であることを特徴とする半導体メモリ。

【請求項9】 請求項1又は3に記載の半導体メモリにおいて、前記電源回路は、前記入力された第1の内部電源電圧から前記第2の内部電源電圧を生成するための第1の昇圧回路と、前記第1の昇圧回路により生成された第2の内部電源電圧から前記第3の内部電源電圧を生成するための第2の昇圧回路とを備えたことを特徴とする半導体メモリ。

【請求項10】 請求項9記載の半導体メモリにおいて、

3

前記電源回路は、

前記第1の内部電源電圧と前記第2の内部電源電圧との差を1つのMOSトランジスタのしきい値電圧以下に保持するように、前記第1の内部電源電圧と前記第2の内部電源電圧との比較結果を前記第1の昇圧回路へ供給するための比較器を更に備えたことを特徴とする半導体メモリ。

【請求項11】 請求項1又は3に記載の半導体メモリにおいて、

前記第2の内部電源電圧と前記第3の内部電源電圧との差は1つのMOSトランジスタのしきい値電圧以上であることを特徴とする半導体メモリ。

【請求項12】 請求項1又は3に記載の半導体メモリにおいて、

前記第1の内部電源電圧を入力し、該入力された第1の内部電源電圧の大きさに応じて前記電源回路における前記第2の内部電源電圧の設定の切り替えを制御するように、前記電源回路に電圧制御信号を供給するための電源電圧制御回路を更に備えたことを特徴とする半導体メモリ。

【請求項13】 請求項12記載の半導体メモリにおいて、

前記電源電圧制御回路は、

前記入力された第1の内部電源電圧と前記所定の電圧とを比較し、該比較の結果に応じた論理信号を前記電圧制御信号として出力するための比較器を備えたことを特徴とする半導体メモリ。

【請求項14】 請求項12記載の半導体メモリにおいて、

前記電源電圧制御回路は、

電荷を保持するためのダミーキャパシタと、

前記ダミーキャパシタを一定時間だけ充電するように該ダミーキャパシタと前記第1の内部電源電圧の供給線との間に介在したスイッチ素子と、

前記ダミーキャパシタの電圧の変化を監視し、該監視の結果に応じた論理信号を前記電圧制御信号として出力するための監視手段とを備えたことを特徴とする半導体メモリ。

【請求項15】 電荷保持型の半導体メモリにおけるメモリセルへの書き込み電圧の供給方法であって、外部電源電圧に比例した内部電源電圧が所定の電圧より高いかどうかを判断するステップと、

メモリセルに書き込まれるべきハイレベルのデータの電圧として、前記内部電源電圧が前記所定の電圧より高い場合には該内部電源電圧を、前記内部電源電圧が前記所定の電圧より低い場合には該内部電源電圧より高い電圧をそれぞれ選択するステップとを備えたことを特徴とする方法。

【発明の詳細な説明】

【0001】

4

【産業上の利用分野】 本発明は、DRAM（ダイナミック・ランダム・アクセス・メモリ）等の電荷保持型の半導体メモリに関するものである。

【0002】

【従来の技術】 DRAMでは、データがメモリセルのキャパシタに電荷の有無の形で蓄えられる。このキャパシタの電荷は、時間がたつとリークのために失われてしまう。したがって、データを保持するためにはメモリセルに対して一定時間毎に、いわゆるリフレッシュ動作を実行する必要がある。

【0003】 さて、メモリセルに書き込まれるハイレベルのデータの電圧が低い場合には、キャパシタに蓄えられる電荷量が小さくなる結果、データの保持時間が短くなる。データの保持時間が極端に短くなると、リフレッシュ動作を実行してもデータの消失が生じることとなる。

【0004】 そこで、特開昭58-23386号公報や特開昭58-23387号公報に開示された5V単一電源方式のDRAMでは、外部電源電圧VCC（＝5V）より高い電圧（6Vあるいは7V）をメモリセルに書き込むようにしている。これにより、VCCがある程度低下してもデータの消失をまぬがれることができ、動作マージンが向上する。

【0005】 また、M.Aoki, et al., "A 1.5V DRAM for Battery-Based Applications", ISSCC DIGEST OF TECHNICAL PAPERS, pp. 238-239, Feb. 1989 や特開平5-21742号公報に開示されたDRAMでは、セルプレート電圧変化方式が採用されている。セルプレートの電圧を変化させることによって、メモリセルの書き込み電圧を実効的に高くしているのである。

【0006】

【発明が解決しようとする課題】 上記のようにメモリセルに6Vあるいは7Vという高い電圧を書き込む場合には、メモリセルの耐圧上の問題が生じ、DRAMの寿命が短くなってしまふ。また、上記セルプレート電圧変化方式は実用性に欠ける。セルプレートは、容量が大きいため、その電圧を高速に変化させることは困難であるからである。

【0007】 本発明の目的は、メモリセルの耐圧を犠牲にすることなく充分なデータ保持時間を確保することができる実用的な半導体メモリを提供することにある。

【0008】

【課題を解決するための手段】 上記目的を達成するため、本発明は、外部電源電圧に比例した内部電源電圧が所定の電圧より高いかどうかを判断し、該判断の結果に応じてメモリセルの書き込み電圧を選択することとしたものである。すなわち、メモリセルに書き込まれるべきハイレベルのデータの電圧として、内部電源電圧が所定の電圧より高い場合には該内部電源電圧を、内部電源電圧が所定の電圧より低い場合には該内部電源電圧より高

5

い電圧をそれぞれ選択するのである。

【0009】具体的には、本発明に係る半導体メモリは、次のような電源回路、メモリセル回路、センスアンプ回路及びロウデコーダを備えたものである。すなわち、電源回路は、外部電源電圧VCCに比例した第1の内部電源電圧VPERIを入力し、該第1の内部電源電圧VPERIが所定の電圧より高い場合には該第1の内部電源電圧VPERIと等しく、第1の内部電源電圧VPERIが前記所定の電圧より低い場合には該第1の内部電源電圧VPERIより高く設定された第2の内部電源電圧VWと、該第2の内部電源電圧VWより高く設定された第3の内部電源電圧VWORDとをそれぞれ出力する。第1の内部電源電圧VPERIは、外部電源電圧VCCと等しい電圧であっても、また該外部電源電圧VCCを降圧した電圧VRDであってもよい。メモリセル回路は、電荷を保持するためのキャパシタと、ソースがビット線に、ドレインが前記キャパシタに、ゲートがワード線にそれぞれ接続されたMOSトランジスタとを有する。センスアンプ回路は、ソースがセンスイネーブル信号線に、ドレインが前記ビット線にそれぞれ接続され、かつ該ビット線の電圧を増幅するようにゲートに導通信号が印加されるMOSトランジスタを有する。ロウデコーダは、前記電源回路から出力された第2の内部電源電圧VWを前記センスイネーブル信号線に、前記電源回路から出力された第3の内部電源電圧VWORDを前記ワード線にそれぞれ供給するものである。

【0010】高速の読み出し及び書き込みを実現するためには、コラムスイッチ回路を構成するMOSトランジスタのゲートに前記電源回路から出力された第2の内部電源電圧VWを供給する。

【0011】シェアドスイッチ回路構成を備えた半導体メモリの場合には、上記メモリセル回路のMOSトランジスタの場合と同様に、シェアドスイッチ回路を構成するMOSトランジスタのゲートに前記電源回路から出力された第3の内部電源電圧VWORDを供給する。

【0012】

【作用】本発明によれば、外部電源電圧VCC又は降圧電圧VRDが充分高い場合には、該外部電源電圧VCC又は降圧電圧VRDをメモリセルのハイレベルのデータの書き込み電圧とする。したがって、従来とは違ってメモリセルの耐圧上の問題は生じない。そして、外部電源電圧VCC又は降圧電圧VRDが低い場合には、ハイレベルの書き込み電圧を昇圧することによりデータ保持時間の延長が図られる。

【0013】センスアンプ回路は、メモリセルの書き込み電圧を決定する。つまり、センスアンプ回路のMOSトランジスタのソースに印加された第2の内部電源電圧VWは、ビット線及びメモリセル回路のMOSトランジスタを通じて該メモリセル回路のキャパシタに供給され、その電圧VWに応じた電荷がキャパシタに蓄積される。この際、メモリセル回路のMOSトランジスタのゲ

6

ートにワード線を通じて供給される第3の内部電源電圧VWORDは、該メモリセル回路のMOSトランジスタの完全導通を保証している。

【0014】

【実施例】以下、図面を参照しながら本発明の実施例について説明する。

【0015】(実施例1) 図1は、本発明の第1の実施例に係る半導体メモリであるDRAMの構成を示すブロック図である。図1において、10はメモリセル部、20は周辺回路、30は電源電圧制御回路、40は電源回路である。メモリセル部10は、メモリセルアレイ11と、ロウデコーダ12と、コラムデコーダ13と、センス/スイッチ回路列14とを備えている。センス/スイッチ回路列14は、センスアンプ列15と、コラムスイッチ回路列16とを備えている。

【0016】周辺回路20には、外部電源電圧VCCがそのまま第1の内部電源電圧VPERIとして供給される。この周辺回路20は、メモリセル部10にアドレスや制御信号を供給する機能と、メモリセル部10と外部との間のデータ転送を司る機能とを有するものである。ロウデコーダ12及びコラムデコーダ13は、周辺回路20から供給されたアドレスに基づいて、メモリセルアレイ11の中のアクセスすべきメモリセルを決定する。電源電圧制御回路30及び電源回路40には、周辺回路20と同じく外部電源電圧Vccが供給されている。

【0017】図2に示すように、電源電圧制御回路30は比較器31を備えている。この比較器31は、外部電源電圧VCCと参照電圧VREFとを比較し、VCCがVREFより低い場合にはハイレベルの論理信号を、VCCがVREFより高い場合にはローレベルの論理信号を各々電圧制御信号VSIGとして出力するものである。

【0018】図3に示すように、電源回路40は第1及び第2の昇圧回路41、42を備えている。第1の昇圧回路41は、電源電圧制御回路30からの電圧制御信号VSIGがローレベルである場合には外部電源電圧VCCと等しい電圧を、VSIGがハイレベルである場合にはVCCを昇圧した電圧を各々第2の内部電源電圧VWとして出力するものである。第2の昇圧回路42は、第1の昇圧回路41から出力された第2の内部電源電圧VWを更に昇圧した電圧を第3の内部電源電圧VWORDとして出力するものである。これら第2及び第3の内部電源電圧VW、VWORDは、メモリセル部10に供給される。

【0019】図4は、図3の電源回路40の構成を採用した場合の外部電源電圧VCCと第1～第3の内部電源電圧VPERI、VW、VWORDとの関係を示すグラフである。

【0020】一般にDRAMでは、外部電源電圧VCCに関する推奨動作条件が設定される。その内容は、標準電圧V0、上限電圧V0H及び下限電圧V0Lである。例えば、5V単一電源方式のDRAMでは、V0=5.0V、V0H=5.5V、V0L=4.5Vである。また、

7

3. 3V単一電源方式のDRAMでは、 $V_0 = 3.3V$ 、 $V_{OH} = 3.6V$ 、 $V_{OL} = 3.0V$ である。

【0021】図4は、上記参照電圧 V_{REF} を外部電源電圧 V_{CC} に関する推奨動作条件の電圧範囲のうちの下限の電圧 V_{OL} （例えば4.5V又は3.0V）に設定した場合の特性を示している。第1の内部電源電圧 V_{PERI} は、外部電源電圧 V_{CC} の全ての範囲において該外部電源電圧 V_{CC} に比例して単調に増減する。第2の内部電源電圧 V_W は、外部電源電圧 V_{CC} が V_{OL} より高い場合には第1の内部電源電圧 V_{PERI} と一致し、 V_{CC} が V_{OL} より低い場合には一定値 V_{OL} である。第3の内部電源電圧 V_{WORD} は、外部電源電圧 V_{CC} の全ての範囲において第2の内部電源電圧 V_W より高い。なお、第2の内部電源電圧 V_W と第3の内部電源電圧 V_{WORD} との差は、1つのMOSトランジスタのしきい値電圧 V_T 以上に設定される。

【0022】第1の内部電源電圧 V_{PERI} と第2の内部電源電圧 V_W との差が1つのMOSトランジスタのしきい値電圧 V_T 以下となる外部電源電圧 V_{CC} の範囲（図4中の領域1）では、図1に示すように、メモリセル部10と周辺回路20とを直結すればよい。第1の内部電源電圧 V_{PERI} と第2の内部電源電圧 V_W との差が V_T より大きくなる外部電源電圧 V_{CC} の範囲（図4中の領域11）では、メモリセル部10と周辺回路20との間にレベルシフト回路を電圧インターフェイスとして介在させる。

【0023】図1中のメモリセル部10の部分詳細構成を図5に示す。図5において、11aはメモリセル回路、15aはCMOSセンスアンプ回路、16aはコラムスイッチ回路である。

【0024】メモリセル回路11aは、図1中のメモリセルアレイ11のうちの1コラムを構成するメモリセルを有するものである。50はセルプレート、51、54はNMOSトランジスタ、52、55はキャパシタである。一方のNMOSトランジスタ51は、ソースが1対のビット線のうちの一方のビット線に、ドレインが一方のキャパシタ52を介してセルプレート50に、ゲートが1本のワード線にそれぞれ接続されている。他方のNMOSトランジスタ54は、ソースが他方のビット線に、ドレインが他方のキャパシタ55を介してセルプレート50に、ゲートが他の1本のワード線にそれぞれ接続されている。キャパシタ52、55は、それぞれ1ビットのデータを電荷の有無の形で蓄えるメモリセルを構成するものである。一方のキャパシタ52で構成されるメモリセルを選択する場合にはNMOSトランジスタ51のゲートに、他方のキャパシタ55で構成されるメモリセルを選択する場合にはNMOSトランジスタ54のゲートに各々ワード線を通じてロウデコード12から第3の内部電源電圧 V_{WORD} が供給される。

【0025】CMOSセンスアンプ回路15aは、図1中のセンスアンプ列15の一部を構成するものであって、メモリセル回路11aのビット線対に接続されてい

8

る。このCMOSセンスアンプ回路15aは、PMOSセンスアンプ回路を構成するようにクロスカプルされた2つのPMOSトランジスタ61、62と、NMOSセンスアンプ回路を構成するようにクロスカプルされた2つのNMOSトランジスタ（不図示）とを備えている。一方のPMOSトランジスタ61は、ソースがセンスイネーブル信号線 SAP に、ドレインが一方のビット線（NMOSトランジスタ51側）に、ゲートが他方のビット線（NMOSトランジスタ54側）にそれぞれ接続されている。他方のPMOSトランジスタ62は、ソースがセンスイネーブル信号線 SAP に、ドレインがPMOSトランジスタ61のドレインとは異なる側（NMOSトランジスタ54側）のビット線に、ゲートがPMOSトランジスタ61のゲートとは異なる側（NMOSトランジスタ51側）のビット線にそれぞれ接続されている。このようにクロスカプルされた2つのPMOSトランジスタ61、62により、PMOSセンスアンプ回路が構成されている。NMOSセンスアンプ回路を構成する2つのNMOSトランジスタ（不図示）も同様に、互いにクロスカプルされている。

【0026】メモリセル回路11aの上記ビット線対は、相補信号線として使用される。すなわち、一方のビット線にハイレベルの電圧が設定される場合には、他方のビット線にローレベルの電圧が設定される。上記CMOSセンスアンプ回路15aは、該ビット線対の電圧を増幅するものである。図5に示すように、PMOSセンスアンプ回路のセンスイネーブル信号線 SAP には、一方のビット線のハイレベルのデータの電圧を早く第2の内部電源電圧 V_W に確定するように、ロウデコード12から V_W が供給される。また、他方のビット線のローレベルの電圧を早く V_{SS} （ $=0V$ ）に確定するように、不図示のNMOSセンスアンプ回路を構成する2つのNMOSトランジスタのドレインには V_{SS} が共通に供給される。

【0027】コラムスイッチ回路16aは、図1中のコラムスイッチ回路列16の一部を構成するものであって、メモリセル回路11aのビット線対に接続されている。71、72はNMOSトランジスタである。一方のNMOSトランジスタ71は、ソースが1対のデータ線のうちの一方のデータ線に、ドレインが一方のビット線（NMOSトランジスタ51側）に、ゲートがコラム線 COL にそれぞれ接続されている。他方のNMOSトランジスタ72は、ソースが他方のデータ線に、ドレインがNMOSトランジスタ71のドレインとは異なる側（NMOSトランジスタ54側）のビット線に、ゲートがコラム線 COL にそれぞれ接続されている。コラム線 COL には、コラムデコード13から第2の内部電源電圧 V_W が供給される。

【0028】データ書き込み時には、図5中の1対のデータ線のうちの一方のデータ線にハイレベルのデータの

9

電圧として第1の内部電源電圧VPERI (=VCC) が、他方のデータ線にローレベルのデータの電圧 (=0V) がそれぞれ周辺回路20から供給される。一方、1本のワード線にロウデコーダ12から第3の内部電源電圧VWORDが、コラム線COLにコラムデコーダ13から第2の内部電源電圧VW がそれぞれ供給される。また、センスイネーブル信号線SAPにはロウデコーダ12から第2の内部電源電圧VW が供給される。このとき、コラムスイッチ回路16aの2つのNMOSTランジスタ71、72が導通する結果、データ線対上の電圧がビット線対上に転送される。ビット線対の電圧変化はCMOSセンスアンプ回路15aによって増幅され、両ビット線の電圧が短時間のうちに確定する。この際、センスイネーブル信号線SAPに第2の内部電源電圧VW が供給されているので、CMOSセンスアンプ回路15aの中の2つのPMOSTランジスタ61、62のうちの一方のPMOSTランジスタを通じて、一方のビット線の電圧がVW に確定する。また、他方のビット線の電圧はローレベル (=0V) になる。これら両ビット線の電圧は、メモリセル回路11aの中のNMOSTランジスタ51、54の各々のソースに印加される。例えば、キャパシタ52で構成されたメモリセルがワード線を通じて選択され、かつ該メモリセルにハイレベルのデータを書き込むようにデータ線対の電圧が設定されたものと仮定すると、NMOSTランジスタ51のソースには第2の内部電源電圧VW が印加され、該NMOSTランジスタ51のゲートには第2の内部電源電圧VW より高い第3の内部電源電圧VWORDが印加される。この結果、該NMOSTランジスタ51は完全に導通し、キャパシタ52にはハイレベルのデータの電圧としてVW が保持されることとなる。

【0029】データ読み出し時には、図5中の1本のワード線に第3の内部電源電圧VWORDが、コラム線COL及びセンスイネーブル信号線SAPに第2の内部電源電圧VW がそれぞれ供給される。不図示のイコライズ回路によってビット線対の電圧がイコライズされた後、メモリセル回路11aの中の例えばキャパシタ52の保持電圧が、完全導通したNMOSTランジスタ51を通じて1本のビット線上に読み出される。そのビット線の電圧変化に応じて、CMOSセンスアンプ回路15aは両ビット線の電圧を早期に確定させる。この際、センスイネーブル信号線SAPに第2の内部電源電圧VW が供給されているので、CMOSセンスアンプ回路15aは一方のビット線の電圧をVW に確定させる。また、他方のビット線の電圧はローレベル (=0V) になる。これら両ビット線の電圧は、コラムスイッチ回路16aの中の2つのNMOSTランジスタ71、72を通じて1対のデータ線上に読み出される。

【0030】上記のとおり、本実施例によれば、電源回路40から出力された第2の内部電源電圧VW がメモリ

10

セルのハイレベルのデータの書き込み電圧となる。つまり、外部電源電圧VCCがその推奨動作条件の電圧範囲のうちの下限の電圧VOLより高い場合には、該外部電源電圧VCCがメモリセルの書き込み電圧となる。したがって、従来とは違ってメモリセルの耐圧上の問題は生じない。そして、外部電源電圧VCCが下限電圧VOLより低い場合には、昇圧された第2の内部電源電圧VW がメモリセルの書き込み電圧となる。したがって、必要な場合に限ってメモリセルのデータ保持時間が延長される。

【0031】また、電源電圧制御回路30の参照電圧VREF を例えば5V単一電源方式の場合の外部電源電圧VCCに関する推奨動作条件の下限電圧VOLすなわち4.5Vに設定すれば、従来は異なる製品系列として製造されていた5V単一電源方式のDRAM (高電圧版) と3.3V単一電源方式のDRAM (低電圧版) とを、図1の構成を有する1つの製品系列でカバーできる効果もある。

【0032】なお、電源電圧制御回路30において外部電源電圧VCCと比較される参照電圧VREF を推奨動作条件の下限電圧VOLより高い電圧に設定してもよい。また、コラムデコーダ13からコラム線COLへの供給電圧を周辺回路20と同じく第1の内部電源電圧VPERI (=VCC) に設定しても、コラムスイッチ回路16aの中のNMOSTランジスタ71、72のオン抵抗の増大に伴って読み出し及び書き込みの速度が若干低下するだけで、電源回路40から出力された第2の内部電源電圧VW がメモリセルのハイレベルのデータの書き込み電圧となることに変わりはない。

【0033】(実施例2) 図6は、本発明の第2の実施例に係る半導体メモリであるDRAMの構成を示すブロック図である。前記第1の実施例と異なる点は、メモリセル部10がシェアドスイッチ回路構成を備えている点である。図6において、11.1は第1のメモリセルアレイ、11.2は第2のメモリセルアレイである。センス/スイッチ回路列14は、センスアンプ列15及びコラムスイッチ回路列16に加えて、第1及び第2のシェアドスイッチ回路列17.1、17.2を備えている。第1のシェアドスイッチ回路列17.1は第1のメモリセルアレイ11.1のビット線を、第2のシェアドスイッチ回路列17.2は第2のメモリセルアレイ11.2のビット線をそれぞれセンスアンプ列15及びコラムスイッチ回路列16に接続するためのものである。電源電圧制御回路30は図2の構成を、電源回路40は図3の構成をそれぞれ有する。

【0034】図6中のメモリセル部10の部分詳細構成を図7に示す。図7において、11.1aは第1のメモリセル回路、11.2aは第2のメモリセル回路、15aはCMOSセンスアンプ回路、16aはコラムスイッチ回路、17.1aは第1のシェアドスイッチ回路、17.2aは第2のシェアドスイッチ回路である。

【0035】第1のメモリセル回路11. 1aは、図6中の第1のメモリセルアレイ11. 1のうちの1コラムを構成するメモリセルを有するものである。50はセルプレート、51. 1、54. 1はNMOSトランジスタ、52. 1、55. 1はキャパシタである。それらの接続関係は第1の実施例の場合と同様であって、一方のNMOSトランジスタ51. 1のゲートには、ロウデコーダ12から1本のワード線を通じて第3の内部電源電圧VWORDが供給される。他方のNMOSトランジスタ54. 1も同様である。

【0036】第2のメモリセル回路11. 2aは、図6中の第2のメモリセルアレイ11. 2のうちの1コラムを構成するメモリセルを有するものであって、第1のメモリセル回路11. 1aと同様、NMOSトランジスタ51. 2、54. 2とキャパシタ52. 2、55. 2とを備えている。一方のNMOSトランジスタ51. 2のゲートには、ロウデコーダ12から1本のワード線を通じて第3の内部電源電圧VWORDが供給される。他方のNMOSトランジスタ54. 2も同様である。

【0037】CMOSセンスアンプ回路15a及びコラムスイッチ回路16aは、前記第1の実施例と同様の構成を有している。センスイネーブル信号線SAPにはロウデコーダ12から第2の内部電源電圧VWが、コラム線COLにはコラムデコーダ13から第2の内部電源電圧VWがそれぞれ供給される。

【0038】第1のシェアドスイッチ回路17. 1aは、図6中の第1のシェアドスイッチ回路列17. 1の一部を構成するものであって、2つのNMOSトランジスタ81. 1、82. 1を有している。一方のNMOSトランジスタ81. 1は、ソースがCMOSセンスアンプ回路15a及びコラムスイッチ回路16aの1対のビット線（1対の共通ビット線）のうちの一方のビット線に、ドレインが第1のメモリセル回路11. 1aの1対のビット線のうちの一方のビット線に、ゲートが第1のシェアドスイッチ信号線SH1にそれぞれ接続されている。他方のNMOSトランジスタ82. 1は、ソースが上記1対の共通ビット線のうちの他方のビット線に、ドレインが第1のメモリセル回路11. 1aの他方のビット線に、ゲートが第1のシェアドスイッチ信号線SH1にそれぞれ接続されている。

【0039】第2のシェアドスイッチ回路17. 2aは、図6中の第2のシェアドスイッチ回路列17. 2の一部を構成するものであって、第2のメモリセル回路11. 2aのビット線と共通ビット線との間に介在した2つのNMOSトランジスタ81. 2、82. 2を有している。これら両NMOSトランジスタ81. 2、82. 2のゲートは、第2のシェアドスイッチ信号線SH2に共通接続されている。

【0040】本実施例のロウデコーダ12は、図7中のワード線に第3の内部電源電圧VWORDを、センスイネー

ブル信号線SAPに第2の内部電源電圧VWをそれぞれ供給するだけでなく、第1及び第2のシェアドスイッチ信号線SH1、SH2に選択的に第3の内部電源電圧VWORDを供給する。すなわち、第1のメモリセル回路11. 1aをアクセスすべき場合には第1のシェアドスイッチ信号線SH1に、第2のメモリセル回路11. 2aをアクセスすべき場合には第2のシェアドスイッチ信号線SH2にそれぞれ第3の内部電源電圧VWORDを供給するものである。

10 【0041】第1のメモリセル回路11. 1aへのデータ書き込み時には、第1のシェアドスイッチ信号線SH1に第3の内部電源電圧VWORDが、第2のシェアドスイッチ信号線SH2にローレベルの電圧（=0V）がそれぞれ供給される。第1のシェアドスイッチ回路17. 1aを構成する2つのNMOSトランジスタ81. 1、82. 1のうちの一方のNMOSトランジスタのソース電圧は、CMOSセンスアンプ回路15aにより第2の内部電源電圧VWまで上昇させられる。したがって、両NMOSトランジスタ81. 1、82. 1が完全に導通するように、その各々のゲートに第2の内部電源電圧VWより高い第3の内部電源電圧VWORDを供給しているのである。この結果、ハイレベルのデータが第1のメモリセル回路11. 1aの中の選択されたキャパシタ52. 1に書き込まれる場合には、ハイレベルのデータの電圧としてCMOSセンスアンプ回路15aから供給された第2の内部電源電圧VWが保持されることとなる。

20 【0042】第2のメモリセル回路11. 2aへのデータ書き込み時には、第2のシェアドスイッチ信号線SH2に第3の内部電源電圧VWORDが、第1のシェアドスイッチ信号線SH1にローレベルの電圧（=0V）がそれぞれ供給される。この際の動作は、第1のメモリセル回路11. 1aへのデータ書き込み時と同様である。

30 【0043】第1のメモリセル回路11. 1aからのデータ読み出し時には、上記書き込み時と同様に、第1のシェアドスイッチ信号線SH1に第3の内部電源電圧VWORDが、第2のシェアドスイッチ信号線SH2にローレベルの電圧（=0V）がそれぞれ供給される。この際、第1のメモリセル回路11. 1aのビット線は第1のシェアドスイッチ回路17. 1aを介して共通ビット線に接続され、第2のメモリセル回路11. 2aのビット線は第2のシェアドスイッチ回路17. 2aにより該共通ビット線から電気的に切り離される。したがって、第1及び第2のメモリセル回路11. 1a、11. 2aの記憶容量の合計が第1の実施例の場合のメモリセル回路11. 1aの記憶容量に等しいと仮定した場合、第2の実施例では第1の実施例に比べてビット線の静電容量が半減する。一般に、メモリセルからビット線への読み出し電圧は、メモリセルのキャパシタの静電容量CSとビット線の静電容量CBとの比CS/CBに比例する。したがって、ビット線の静電容量が半減すると、ビット線への読

13

み出し電圧が倍増する。この結果、CMOSセンスアンブ回路15aの増幅精度及び増幅速度が向上し、データ読み出しの高信頼性及び高速性が確保される。

【0044】第2のメモリセル回路11. 2aからのデータ読み出し時には、第2のシェアドスイッチ信号線SH2に第3の内部電源電圧VWORDが、第1のシェアドスイッチ信号線SH1にローレベルの電圧(=0V)がそれぞれ供給される結果、第1のメモリセル回路11. 1aのビット線が共通ビット線から電気的に切り離される。この際の動作は、第1のメモリセル回路11. 1a 10からのデータ読み出し時と同様である。

【0045】上記のとおり、本実施例によれば、第1の実施例と同様の効果に加えて、データ読み出しの高信頼性及び高速性が確保される効果が得られる。

【0046】(その他の実施例)図8は、図1及び図6中の電源電圧制御回路30の他の構成例を示す回路図である。図8において、31は比較器、32はPMOSTランジスタ、33はダミーキャパシタ、34はセルプレートである。図8中の比較器31は、ダミーキャパシタ33の保持電圧VDCと参照電圧VREFとを比較し、VDC 20がVREFより低い場合にはハイレベルの論理信号を、VDCがVREFより高い場合にはローレベルの論理信号を各々電圧制御信号VSIGとして出力するものである。ダミーキャパシタ33は、図5のメモリセル回路11aの中のキャパシタ52、54や、図7の第1及び第2のメモリセル回路11. 1a、11. 2aの中のキャパシタ52. 1、52. 2、54. 1、54. 2に対応したものである。このダミーキャパシタ33の一方の端子が接続されたセルプレート34には、メモリセル回路のセルプレート50と同じ電圧が印加される。

【0047】図8の電源電圧制御回路30では、パワーオンリセット時にPMOSTランジスタ32のゲートに制御信号VCONTを印加することにより、該PMOSTランジスタ32を一定時間だけ導通させる。これにより、外部電源電圧VCCに応じた電荷がダミーキャパシタ33に蓄積される。そして、一定時間経過後に、ダミーキャパシタ33の保持電圧VDCと参照電圧VREFとを比較器31で比較し、該比較の結果に応じて電圧制御信号VSIGの論理レベルを決定する。比較器31は、パワーオンリセット時に以上のシーケンスで電圧制御信号VSIGの論理レベルを決定した後は、以後その論理レベルを保持する。図1及び図6中の電源回路40は、比較器31が保持出力している電圧制御信号VSIGに従って出力電圧特性を切り替えることとなる。

【0048】以上のとおり、図8の電源電圧制御回路30によれば、メモリセルのキャパシタへの書き込み電圧を外部電源電圧VCCとした場合のデータ保持特性の良否(リークの大小)すなわちデータ保持時間の長短をパワーオンリセット時に前もって評価することができ、該評価の結果に応じて電源回路40の出力電圧特性をプリセ

14

ットできる。つまり、外部電源電圧VCCの大小とメモリセルのデータ保持特性の良否とを総合的に評価できる効果がある。

【0049】なお、図8の電源電圧制御回路30をパワーオンリセット時に一度だけ動作させるのではなく、これを周期的に動作させるようにしてもよい。例えば、RAS(ロウアドレスストロブ信号)が入力される毎にPMOSTランジスタ32を導通させてダミーキャパシタ33を充電し、その都度比較器31でダミーキャパシタ33の保持電圧VDCを検査するようにしてもよい。

【0050】図9は、図1及び図6中の電源電圧制御回路30の更に他の構成例を示す回路図である。図9において、図8中のPMOSTランジスタ32はNMOSTランジスタ35に、図8中の比較器31はPMOSTランジスタ36及びバッファ37にそれぞれ置き換えられている。

【0051】図9の電源電圧制御回路30では、パワーオンリセット時にNMOSTランジスタ35のゲートに制御信号VCONTを印加することにより、該NMOSTランジスタ35を一定時間だけ導通させる。これにより、外部電源電圧VCCに応じた電荷がダミーキャパシタ33に蓄積される。ダミーキャパシタ33の保持電圧VDCすなわちPMOSTランジスタ36のゲートの電圧は、ダミーキャパシタ33のリークにより時間の経過とともに低下していく。リークが小さいために一定時間経過後にPMOSTランジスタ36のゲート・ソース間電圧がそのしきい値電圧より小さい値を保持している場合には、該PMOSTランジスタ36がオフ状態を維持するので、バッファ37は電圧制御信号VSIGとしてローレベルの論理信号を出力する。しかしながら、リークが大きいためにPMOSTランジスタ36のゲート電圧が大きく低下してしまうと、該PMOSTランジスタ36が導通し、バッファ37は電圧制御信号VSIGとしてハイレベルの論理信号を出力する。バッファ37は、パワーオンリセット時に以上のシーケンスで電圧制御信号VSIGの論理レベルを決定した後は、以後その論理レベルを保持する。図1及び図6中の電源回路40は、バッファ37が保持出力している電圧制御信号VSIGに従って出力電圧特性を切り替えることとなる。

【0052】以上のとおり、図9の電源電圧制御回路30によれば、図8の構成の場合と同様の効果を小さい回路規模で達成できる。

【0053】なお、図9の電源電圧制御回路30をパワーオンリセット時に一度だけ動作させるのではなく、これを周期的に動作させるようにしてもよい。例えば、RASが入力される毎にNMOSTランジスタ35を導通させてダミーキャパシタ33を充電し、その都度PMOSTランジスタ36及びバッファ37でダミーキャパシタ33の保持電圧VDCを検査するようにしてもよい。

【0054】図10は、図1及び図6中の電源回路40

17

ある。

【図4】図1の半導体メモリにおいて図3の電源回路の構成を採用した場合の外部電源電圧と3つの内部電源電圧との関係を示すグラフである。

【図5】図1中のメモリセル部の部分詳細構成を示す回路図である。

【図6】本発明の他の実施例に係る半導体メモリの構成を示すブロック図である。

【図7】図6中のメモリセル部の部分詳細構成を示す回路図である。

【図8】図1及び図6中の電源電圧制御回路の他の構成例を示す回路図である。

【図9】図1及び図6中の電源電圧制御回路の更に他の構成例を示す回路図である。

【図10】図1及び図6中の電源回路の他の構成例を示すブロック図である。

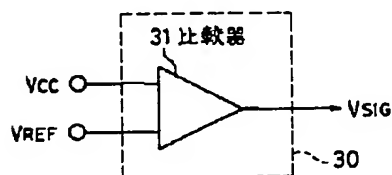
【図11】図1及び図6の半導体メモリにおいて図10の電源回路の構成を採用した場合の外部電源電圧と3つの内部電源電圧との関係を示すグラフである。

【図12】本発明の更に他の実施例に係る半導体メモリの構成を示すブロック図である。

【符号の説明】

- 10 メモリセル部
- 11、11.1、11.2 メモリセルアレイ
- 11a、11.1a、11.2a メモリセル回路
- 12 ロウデコーダ
- 13 コラムデコーダ
- 14 センス/スイッチ回路列
- 15 センスアンプ列
- 15a CMOSセンスアンプ回路
- 16 コラムスイッチ回路列
- 16a コラムスイッチ回路

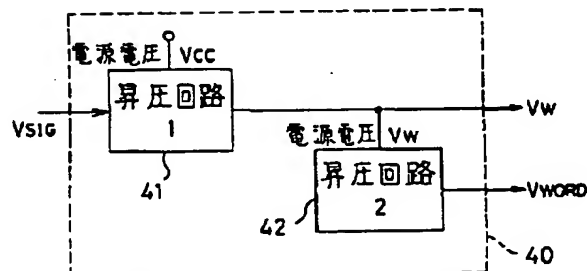
【図2】



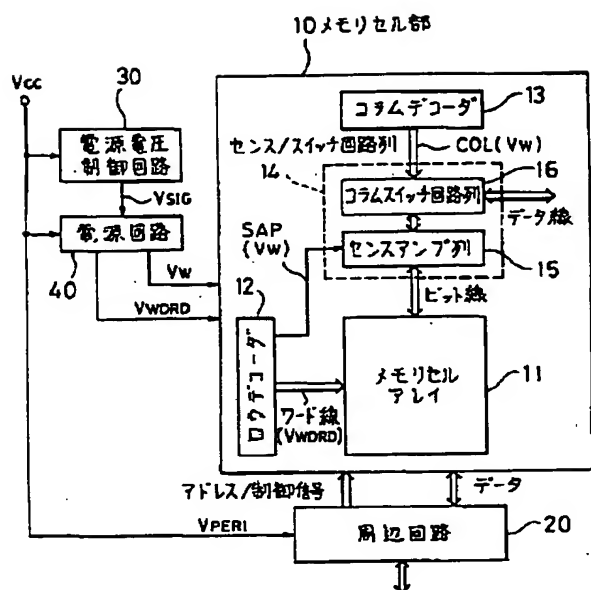
18

- 17. 1、17. 2 シェアドスイッチ回路列
- 17. 1a、17. 2a シェアドスイッチ回路
- 20 周辺回路
- 30 電源電圧制御回路
- 31 比較器
- 32、36 PMOSトランジスタ
- 33 ダミーキャパシタ
- 34 セルプレート
- 35 NMOSトランジスタ
- 40 電源回路
- 41 第1の昇圧回路
- 42 第2の昇圧回路
- 43 比較器
- 50 セルプレート
- 51、51.1、51.2、54、54.1、54.2 NMOSトランジスタ
- 52、52.1、52.2、55、55.1、55.2 キャパシタ
- 61、62 PMOSトランジスタ
- 71、72 NMOSトランジスタ
- 81. 1、81. 2、82. 1、82. 2 NMOSトランジスタ
- 90 降圧回路
- COL コラム線
- SAP センスイネーブル信号線
- SH1、SH2 シェアドスイッチ信号線
- VCC 外部電源電圧
- VPERI 第1の内部電源電圧
- VW 第2の内部電源電圧
- VWORD 第3の内部電源電圧
- VSIG 電圧制御信号
- VT MOSトランジスタのしきい値電圧
- VRD 内部降圧電圧

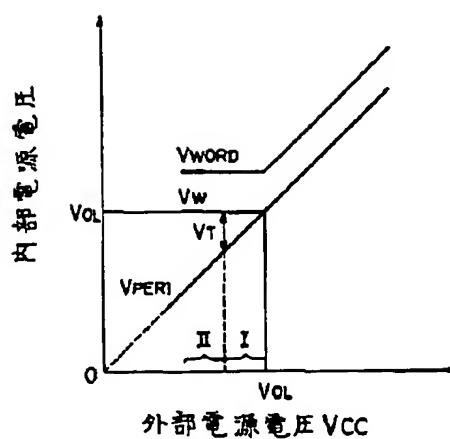
【図3】



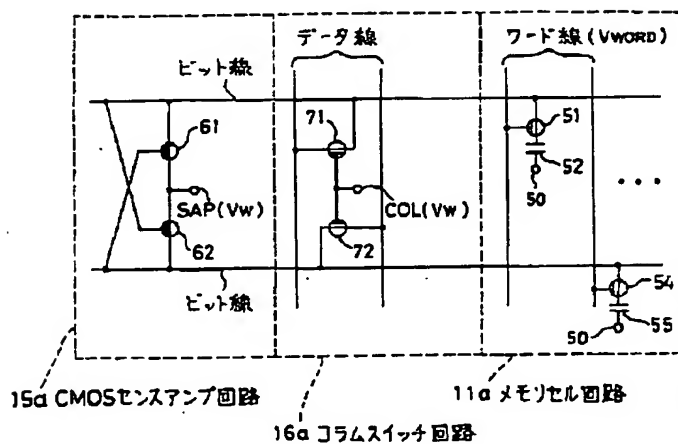
【図1】



【図4】

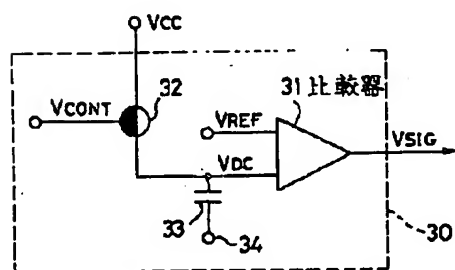


【図5】

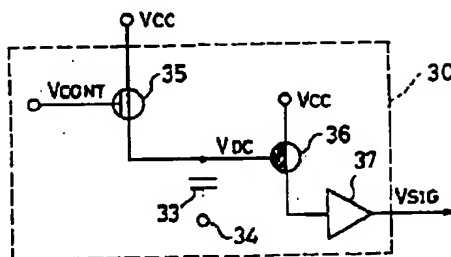


●: PMOSトランジスタ
 ○: NMOSトランジスタ
 ⊥: キャパシタ

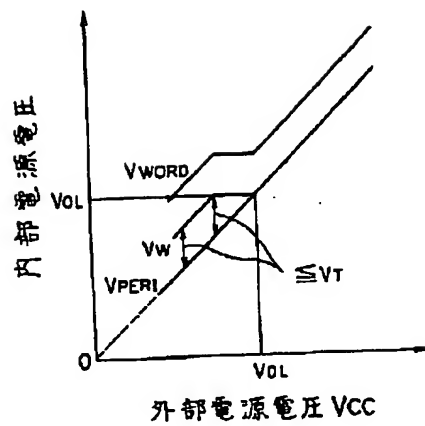
【図8】



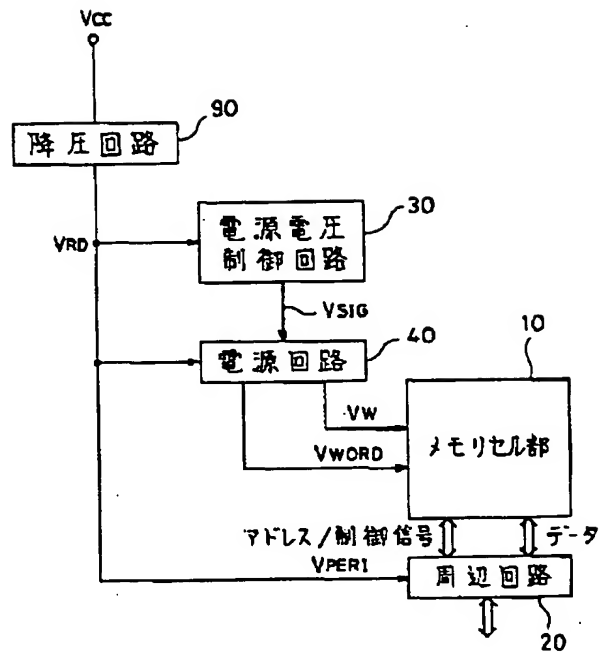
【図9】



【図11】



【図12】



フロントページの続き

(72)発明者 澤田 昭弘
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 岩成 俊一
大阪府門真市大字門真1006番地 松下電器
産業株式会社内